

# 特許協力条約

発信人 日本国特許庁（国際予備審査機関）

代理人

新居 広守

様

あて名

〒532-0011

日本国大阪府大阪市淀川区西中島3丁目11番26号  
新大阪末広センタービル3F 新居国際特許事務所内

PCT

国際予備審査機関の見解書

（法第13条）

〔PCT規則66〕

発送日

（日.月.年）

06.12.2005

出願人又は代理人

の書類記号 P35352-P0

応答期間

上記発送日から 2 月 4 日 以内

国際出願番号

PCT/J P 2004/019102

国際出願日

（日.月.年） 21.12.2004

優先日

（日.月.年） 22.12.2003

国際特許分類（IPC）IntCl. G06F12/08

G06F12/12

出願人（氏名又は名称）

松下電器産業株式会社

1. ☒ 国際調査機関の作成した見解書は、国際予備審査機関の見解書と ☒ みなされる。  
☐ みなされない。

2. この 2 回目の見解書は、次の内容を含む。

- ☒ 第I欄 見解の基礎  
☐ 第II欄 優先権  
☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成  
☐ 第IV欄 発明の単一性の欠如  
☒ 第V欄 法第13条（PCT規則66.2(a)(i)）に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明  
☐ 第VI欄 ある種の引用文献  
☐ 第VII欄 国際出願の不備  
☐ 第VIII欄 国際出願に対する意見

3. 出願人は、この見解書に応答することが求められる。

いつ？

上記応答期間を参照すること。この応答期間に間に合わないときは、出願人は、法第13条（PCT規則66.2(e)）に規定するとおり、その期間の経過前に国際予備審査機関に期間延長を請求することができる。ただし、期間延長が認められるのは合理的な理由があり、かつスケジュールに余裕がある場合に限られることに注意されたい。

どのように？

法第13条（PCT規則66.3）の規定に従い、答弁書及び必要な場合には、補正書を提出する。補正書の様式及び言語については、法施行規則第62条（PCT規則66.8及び66.9）を参照すること。

なお

補正書を提出する追加の機会については、法施行規則第61条の2（PCT規則66.4）を参照すること。補正書及び／又は答弁書の審査官による考慮については、PCT規則66.4の2を参照すること。審査官との非公式の連絡については、PCT規則66.6を参照すること。

応答がないときは、国際予備審査報告は、この見解書に基づき作成される。

4. 特許性に関する国際予備報告（特許協力条約第2章）作成の最終期限は、  
PCT規則69.2の規定により 02.05.2006 である。

名称及びあて先

日本国特許庁（IPEA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

清木 泰

電話番号 03-3581-1101 内線 3586

5N

9643

様式PCT/IPEA/408（表紙）（2005年4月）

添付用紙の注意書きを参照

BEST AVAILABLE COPY

## 第 I 欄 見解の基礎

1. 言語に関し、この見解書は以下のものに基づき作成した。

- ☒ 出願時の言語による国際出願
- ☐ 出願時の言語から次の目的のための言語である \_\_\_\_\_ 語に翻訳された、この国際出願の翻訳文
- ☐ 国際調査 (PCT 規則 12.3(a)、23.1(b))
- ☐ 国際公開 (PCT 規則 12.4(a))
- ☐ 国際予備審査 (PCT 規則 55.2(a) 又は 55.3(a))

2. この見解書は下記の出願書類に基づいて作成された。(法第 6 条 (PCT 14 条) の規定に基づく命令に応答するために提出された差替え用紙は、この見解書において「出願時」とする。)

☐ 出願時の国際出願書類

☒ 明細書

第 1, 3, 5-22 \_\_\_\_\_ ページ、出願時に提出されたもの  
 第 2, 4 \_\_\_\_\_ ページ、19. 10. 2005 付けで国際予備審査機関が受理したもの  
 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2, 3, 4, 5 \_\_\_\_\_ 項、出願時に提出されたもの  
 第 \_\_\_\_\_ 項、PCT 19 条の規定に基づき補正されたもの  
 第 1, 6, 7, 8 \_\_\_\_\_ 項、19. 10. 2005 付けで国際予備審査機関が受理したもの  
 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-18 \_\_\_\_\_ 図、出願時に提出されたもの  
 第 \_\_\_\_\_ 図、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの  
 第 \_\_\_\_\_ 図、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 第 \_\_\_\_\_ ページ/図  
☐ 配列表 (具体的に記載すること) \_\_\_\_\_  
☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

4. ☐ この見解書は、補充欄に示したように、補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT 規則 70.2(c))

☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 第 \_\_\_\_\_ ページ/図  
☐ 配列表 (具体的に記載すること) \_\_\_\_\_  
☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

BEST AVAILABLE COPY

第V欄 新規性、進歩性又は産業上の利用可能性についての法第13条（PCT規則66.2(a)(ii)）に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性 (N)	請求の範囲 1-8	有
	請求の範囲	無
進歩性 (IS)	請求の範囲	有
	請求の範囲 1-8	無
産業上の利用可能性 (IA)	請求の範囲 1-8	有
	請求の範囲	無

## 2. 文献及び説明

文献1: JP 2003-223360 A (株式会社日立製作所)  
2003.08.08,

【請求項1】—【請求項7】、【0001】—【0023】、

【0067】—【0098】、【図6】—【図12】

文献2: JP 2000-29788 A (日本電気株式会社)  
2000.01.28,

【0060】—【0084】、【図1】、【図2】、【図3】、【図6】、【図7】

文献3: JP 2001-222467 A (松下電器産業株式会社)  
2001.08.17

文献4: JP 3-54649 A (沖電気株式会社)  
1991.03.08,

第5頁右上欄第4行—右下欄第5行、第4図(a)

文献5: JP 7-84879 A (株式会社東芝) 1995.03.31

文献6: JP 8-69417 A (三洋電機株式会社) 1996.03.12

・請求の範囲1乃至8について

請求の範囲1乃至8は文献1、文献2、文献3、文献4及び文献6により進歩性を有しない。

文献1、文献3、文献4及び文献6のいずれにも、プロセッサからの指示により、ダーティビットを強制的にリセットする技術が教示されている。また、文献1には、プロセッサからの指示により、バリッドフラグを強制的にリセットする技術が教示されている。さらに、文献2及び文献3のいずれにも、プロセッサからの指示により、バリッドフラグを強制的にセットするかキャッシュエントリを有効化する技術が教示されている。

より詳細に言えば、文献1には、メモリ解放命令MRELやダーティビットクリア命令DCBDCにより、キャッシュエントリのダーティフラグを強制的にリセットする技術が教示されている。さらに、文献1には、キャッシュエントリのダーティフラグを強制的にリセットするに際し、プロセッサがその対象となるアドレス範囲を指定し、指定されたアドレス範囲の先頭アドレスと終了アドレスをキャッシュライン境界になるように補正する技術が教示されている。(以下、補充欄に続く)

BEST AVAILABLE COPY

## 補充欄

いずれかの欄の大きさが足りない場合

## 第 V.2 欄の続き

文献2には、プロセッサから通常のライト命令とは異なるキャッシュ・ミス用ライト命令をキャッシュメモリが受ける際に、キャッシュミスヒットが発生したら、メインメモリからキャッシュメモリにデータをロードすることなくVビットを1にする技術が教示されている。

文献3には、プロセッサコアからキャッシュ回路にアクセスする際にNORFL信号を通知し、このNORFL信号を受けたキャッシュ回路は、キャッシュミスヒットが発生したら、主メモリからキャッシュ回路にデータをロードすることなくキャッシュエントリを有効化する技術が教示されている。さらに、文献3には、プロセッサコアからキャッシュ回路にアクセスする際にCLRDT信号を通知し、このCLRDT信号を受けたキャッシュ回路は、キャッシュエントリのダーティフラグを強制的にリセットする技術が教示されている。

文献4には、命令セットのなかに、読み出し後にキャッシュエントリの破棄ビットを1にする（ダーティビットをリセットすることと等価である。）命令を備える技術が教示されている。

出願人が2005.10.19付けで提出した答弁書及び手続補正書に関連して、文献6には、プロセッサが適用対象を指定する情報（アドレス範囲）を伴ったコマンドをキャッシュメモリに発行し、キャッシュメモリ側でコマンドを実行するために必要な情報（例えば、コマンドの適用対象を指定する情報（アドレス範囲））をレジスタに保持し、キャッシュメモリはレジスタに保持した情報に基づいてコマンドを自律的に実行する技術が教示されている。

文献1、文献2、文献3、文献4及び文献6に教示された技術を適宜組み合わせることは、当業者にとって容易である。なお、文献6に教示された技術においては、コマンドの種別を示すレジスタが明示されていないものの、必要に応じてコマンドの種別もレジスタに格納するように設計変更することも当業者にとって容易である。

BEST AVAILABLE COPY